

TITLE L05 · ALU and the Verilog Assembler							VER. 1	DATETIME 21.07.2026		QR wyłączony	
PROJECT Etap wykonania minimalnego rdzenia							SERIES RV32I From Blinker to RISC-V		CARD 05/09		SHEET 1/2
SUBJ.	Inf.	PROG.	CORE	SCOPE	LEVEL	POS.	GITEA UUID aabf60d8-9071-5f77-9bbb-2fc500f05358				
GITEA https://gitea.local/edu-inf/lab-rv32i-asm-alu							aabf60d8-9071-5f77-9bbb-2fc500f05358				
HTML http://localhost:8080							AUTHOR M. Pabiszczak				

Cel karty

Uczeń implementuje ALU, składa słowa instrukcji R/I i wykonuje program z kontrolowanym writeback.

Zakres tasków

Krok	Numer tasku	Najważniejsza idea	Priorytet	Status	Version
6	Task01	10 operacji ALU	obowiązkowe	opracowane	v00.01
7	Task02	enkoder formatów R/I	obowiązkowe	opracowane	v00.01
7	Task03	execute i writeback	obowiązkowe	opracowane	v00.01

TITLE L05 · ALU and the Verilog Assembler						VER. 1	DATE/TIME 21.07.2026		QR wyłączony
PROJECT Etap wykonania minimalnego rdzenia						SERIES RV32I From Blinker to RISC-V	CARD 05/09	SHEET 2/2	
SUBJ.	Inf.	PROG.	CORE	SCOPE	LEVEL	POS.	GITEA UUID aabf60d8-9071-5f77-9bbb-2fc500f05358 CARD UUID aabf60d8-9071-5f77-9bbb-2fc500f05358 AUTHOR M. Pabiszczak		
GITEA https://gitea.local/edu-inf/lab-rv32i-asm-alu									
HTML http://localhost:8080									

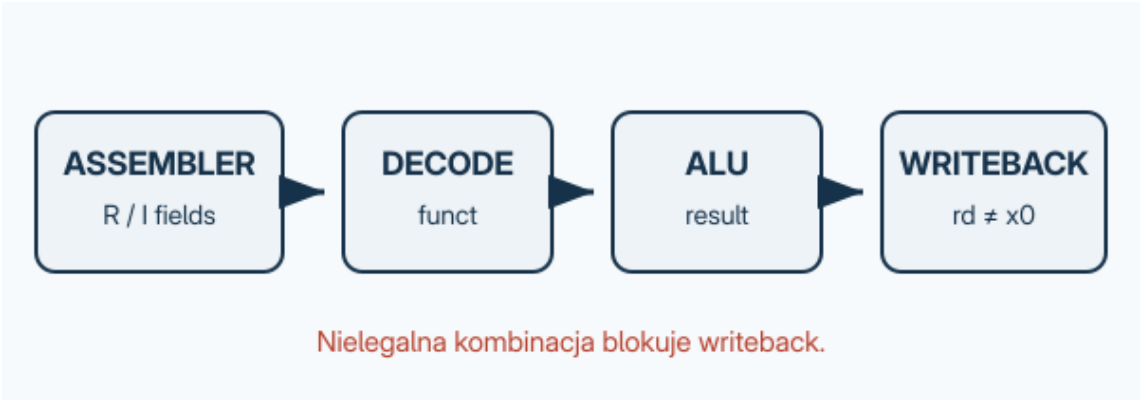
1 Task01 · ALU

drzewka: D1 D2

K1: Przewidź wyniki SRA/SRL i SLT/SLTU. D1

K2: Porównaj dziesięć wektorów i zapisz VCD. D2

Sprawdź dziesięć operacji. SRA i SLT używają interpretacji signed; SRL i SLTU używają surowych bitów bez znaku.



Rysunek 1: Od enkodera przez dekoder i ALU do kontrolowanego writeback.

2 Task02 · Verilog assembler

drzewka: D1 D2

K1: Złóż ADD i ADDI przed porównaniem z testbenchem. D1 D2

Złóż pola w kolejności określonej formatem. Ujemne immediate przechowuje 12 młodszych bitów reprezentacji uzupełnieniowej.

3 Task03 · Execute

drzewka: D1 D2

K1: Zmierz x1=7, x2=5, x3=12 i x4=7. D1 D2

Wykonaj ADDI, ADDI, ADD i SUB. Każdy writeback staje się operandem następnej zależnej instrukcji; illegal blokuje zapis.